

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The phase comparator which considers input data and a clock signal as an input, and outputs the electrical potential difference of the peak value according to phase contrast with this clock signal on the basis of this input data, or pulse width, The frequency comparator which considers the above-mentioned input data and the above-mentioned clock signal as an input, judges the size of the frequency of this clock signal on the basis of the transmission speed of this input data, and outputs a binary signal, The synchronous judging machine which performs the synchronous judging of a phase and a frequency by considering the above-mentioned input data and the above-mentioned clock signal as an input, The 1st switch opened when the above-mentioned phase comparator output was considered as the input, it closes when the above-mentioned synchronous judging machine judges with a synchronization, and it judges with it being asynchronous, The 2nd switch closed when the above-mentioned frequency comparator output was considered as the input, it opens when the above-mentioned synchronous judging machine judges with a synchronization, and it judges with it being asynchronous, The phase frequency synchronous circuit characterized by consisting of the loop filter which considers the switch output of the above 1st, and the switch output of the above 2nd as an input, and the voltage controlled oscillator which carries out adjustable [of the frequency] based on the above-mentioned loop filter output, and outputs the above-mentioned clock signal.

[Claim 2] 90-degree phase shifter with which said synchronous judging machine shifts 90 degrees of phases of said clock signal, Consider said input data and above-mentioned 90-degree phase-shifter output as an input, and the phase contrast of the above-mentioned clock signal on the basis of this input data outputs high level at the time of -90 degree to +90 degrees. Phase contrast with this clock signal From -180 degree to -90 degrees Or the 2nd phase comparator which outputs a low level at the time of +90 to +180 degrees, The low pass filter which considers the phase comparator output of the above 2nd as an input, and has a predetermined band, The comparator with a hysteresis which considered the above-mentioned low pass filter output as the input, and set up the threshold between high level from the middle point of the high level and low level of the phase comparator output of the above 2nd is prepared. In the case of more than the band where the transmission speed of the above-mentioned input data and the delta frequency of the above-mentioned clock signal are decided with the above-mentioned low pass filter Judge that frequency synchronization has not been carried out and the above-mentioned comparator with a hysteresis outputs an asynchronous signal regardless of the phase contrast of this input data and this clock signal. In the case of below the band where the transmission speed of the above-mentioned input data and the delta frequency of the above-mentioned clock signal are decided with the above-mentioned low pass filter When the average phase contrast which equalized the comparison result of the above-mentioned input data and the above-mentioned clock based on the threshold of the above-mentioned comparator with a hysteresis with the above-mentioned low pass filter is less than predetermined, The phase frequency synchronous circuit according to claim 1 characterized by for the above-mentioned comparator with a hysteresis outputting a synchronizing signal, and the above-mentioned comparator with a hysteresis outputting an asynchronous signal when the above-mentioned average phase contrast is except predetermined.

[Claim 3] the phase frequency synchronous circuit according to claim 2 characterized by the transmission speed of said input data and the delta frequency of said clock signal judging the aforementioned synchronous judging machine to be frequency asynchronous more than by pi twice of ftc if the jitter transfer band of the loop arrangement which consists of said phase comparator, said loop filter, and said VCO of a synchronous condition is set to ftc.

[Claim 4] Said phase comparator and said 2nd phase comparator are a phase frequency synchronous circuit according to claim 2 characterized by outputting the electrical potential difference of the peak value according to the phase contrast of said clock signal on the basis of one of the edges of the standup of said input data, or falling, or pulse width.

[Claim 5] Said phase comparator and said 2nd phase comparator are a phase frequency synchronous circuit according to claim 3 characterized by outputting the electrical potential difference of the peak value according to the phase contrast of said clock signal on the basis of one of the edges of the standup of said input data, or falling, or pulse width.

[Claim 6] Said phase comparator is a phase frequency synchronous circuit according to claim 1 characterized by outputting the current of the peak value according to the phase contrast of said input data and said clock signal, or pulse width.

[Claim 7] Said voltage controlled oscillator is the phase frequency synchronous circuit according to claim 1 characterized by to prepare the selector which outputs the clock signal of one ** from the voltage controlled oscillator from which said loop filter output is considered as an input, two or more actuation and voltage controlled oscillators with which it un-operates and oscillation frequencies differ are carried with the mode selector signal from

the outside, and the above-mentioned oscillation frequency differs with a mode selector signal by considering as an input the voltage controlled oscillator with which two or more above-mentioned oscillation frequencies differ.

[Claim 8] The phase frequency synchronous circuit according to claim 2 characterized by preparing the 2nd comparator with a hysteresis made into a threshold which considers said low pass filter output as an input, and is different from said comparator with a hysteresis, and the comparator with a hysteresis of the above 2nd outputting an alarm when larger than the jitter threshold of the input data with which the jitter of said input data is decided by the comparator with a hysteresis of the above 2nd.

[Claim 9] The phase frequency synchronous circuit according to claim 3 characterized by preparing the 2nd comparator with a hysteresis made into a threshold which considers said low pass filter output as an input, and is different from said comparator with a hysteresis, and the comparator with a hysteresis of the above 2nd outputting an alarm when larger than the jitter threshold of the input data with which the jitter of said input data is decided by the comparator with a hysteresis of the above 2nd.

[Claim 10] The phase frequency synchronous circuit according to claim 4 characterized by preparing the 2nd comparator with a hysteresis made into a threshold which considers said low pass filter output as an input, and is different from said comparator with a hysteresis, and the comparator with a hysteresis of the above 2nd outputting an alarm when larger than the jitter threshold of the input data with which the jitter of said input data is decided by the comparator with a hysteresis of the above 2nd.

[Claim 11] The phase frequency synchronous circuit according to claim 5 characterized by preparing the 2nd comparator with a hysteresis made into a threshold which considers said low pass filter output as an input, and is different from said comparator with a hysteresis, and the comparator with a hysteresis of the above 2nd outputting an alarm when larger than the jitter threshold of the input data with which the jitter of said input data is decided by the comparator with a hysteresis of the above 2nd.

[Claim 12] The photo detector which receives and carries out photo electric conversion of the lightwave signal, and the amplifier which amplifies the signal by which photo electric conversion was carried out [above-mentioned], and outputs said input data, The phase frequency synchronous circuit according to claim 8 which considers the above-mentioned input data as an input, and outputs said clock signal, The optical receiving circuit which is an optical receiving circuit which considers the above-mentioned input data and the above-mentioned clock signal as an input, and contains the discrimination circuit which carries out discernment playback, and is characterized by setting up the jitter threshold of the input data decided by said comparator with the 2nd hysteresis so that the rate of a data error may be set to 10⁻¹ to 10⁻³.

[Claim 13] The photo detector which receives and carries out photo electric conversion of the lightwave signal, and the amplifier which amplifies the signal by which photo electric conversion was carried out [above-mentioned], and outputs said input data, The phase frequency synchronous circuit according to claim 9 which considers the above-mentioned input data as an input, and outputs said clock signal, The optical receiving circuit which is an optical receiving circuit which considers the above-mentioned input data and the above-mentioned clock signal as an input, and contains the discrimination circuit which carries out discernment playback, and is characterized by setting up the jitter threshold of the input data decided by said comparator with the 2nd hysteresis so that the rate of a data error may be set to 10⁻¹ to 10⁻³.

[Claim 14] The photo detector which receives and carries out photo electric conversion of the lightwave signal, and the amplifier which amplifies the signal by which photo electric conversion was carried out [above-mentioned], and outputs said input data, The phase frequency synchronous circuit according to claim 10 which considers the above-mentioned input data as an input, and outputs said clock signal, The optical receiving circuit which is an optical receiving circuit which considers the above-mentioned input data and the above-mentioned clock signal as an input, and contains the discrimination circuit which carries out discernment playback, and is characterized by setting up the jitter threshold of the input data decided by said comparator with the 2nd hysteresis so that the rate of a data error may be set to 10⁻¹ to 10⁻³.

[Claim 15] The photo detector which receives and carries out photo electric conversion of the lightwave signal, and the amplifier which amplifies the signal by which photo electric conversion was carried out [above-mentioned], and outputs said input data, The phase frequency synchronous circuit according to claim 11 which considers the above-mentioned input data as an input, and outputs said clock signal, The optical receiving circuit which is an optical receiving circuit which considers the above-mentioned input data and the above-mentioned clock signal as an input, and contains the discrimination circuit which carries out discernment playback, and is characterized by setting up the jitter threshold of the input data decided by said comparator with the 2nd hysteresis so that the rate of a data error may be set to 10⁻¹ to 10⁻³.

[Claim 16] The lightwave transmission system which is a lightwave transmission system which connects between two or more optical receiving circuits according to claim 14 and two or more optical sending circuits with two or more optical fibers, respectively, and has two or more paths of optical transmission, and is characterized by setting to one of the path change information on optical transmission the alarm which said 2nd comparator with a hysteresis outputs.

[Claim 17] The lightwave transmission system which is a lightwave transmission system which connects between two or more optical receiving circuits according to claim 15 and two or more optical sending circuits with two or more optical fibers, respectively, and has two or more paths of optical transmission, and is characterized by setting to one of the path change information on optical transmission the alarm which said 2nd comparator with a hysteresis outputs.

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention is concerned with a lightwave transmission system, and relates to the phase lock loop used especially for optical fiber transmission.

[0002]

[Description of the Prior Art] In a lightwave transmission system, photo electric conversion of the optical input signal is carried out by the photo detector, and it changes into an electrical signal. Equivalence magnification of this changed electrical signal is carried out, and when a jitter increases and there is no lightwave signal as a jitter will be small and optical receiving level will become small, if optical receiving level is large, the data of an NRZ code made binary serve as a noise output, and are equivalent to jitter infinity. Moreover, to this data, pulse width distortion arises by the optical sending circuit and the optical receiving circuit.

[0003] The configuration of the phase frequency synchronous circuit of the relation which generates the clock signal which synchronized with data from such a data signal is shown in drawing 1. A phase comparator 10 outputs the electrical potential difference of the peak value according to the phase contrast of input data and a clock signal, or pulse width. The frequency comparator 20 outputs the size of the frequency of the clock signal on the basis of the transmission speed of input data, and if input data and a clock signal synchronize and it becomes within predetermined phase contrast, it will not output the size of a frequency. The output of a phase comparator 10 and the output of the frequency comparator 20 are inputted into a loop filter 40 through the superposition machine 80. VCO (it is called below the voltage controlled oscillator VCO)50 carries out adjustable [of the oscillation frequency] based on the output of a loop filter 40, outputs a clock signal, and performs the synchronization of input data and a clock signal. As a phase frequency synchronous circuit of this configuration, it is 1992 IEEE International Solid-State Circuits Conference, for example. It is indicated by p.162 "TP10.3:A 8 Gb/s Si Bipolar Phase and Frequency Detector IC for Clock Extraction" and JP,6-216766,A.

[0004] Moreover, in the file equipment which used the disk, the shake of about 1% by the data rate exists by causes, such as rotation unevenness of a disk, and the data signal from file equipment has a jitter and a small pulse width distortion, in view of the data signal from an optical receiving circuit. The configuration of the phase frequency synchronous circuit of the relation which generates the clock signal which synchronized with data from such a data signal is shown in drawing 2. The 1st phase comparator 10-1 outputs the electrical potential difference of the pulse width according to the phase contrast of input data and a clock signal. The frequency comparator 20 performs the comparison with input data and a clock signal, and by detecting the condition of separating from the limit of mark length specified to data, the frequency of a clock distinguishes whether it is high or low to the frequency of data, and outputs it.

[0005] The 2nd phase comparator 10-2 outputs the electrical potential difference of the pulse width according to the phase contrast of an input and a clock signal by making all phase contrast of an input and a clock signal into a phase lead lag network or phase lag. According to frequency comparator 20 output, the phase contrast of input data and a clock signal progresses by considering input data, clock signal, and frequency comparator 20 output as an input, or the 2nd phase comparator 10-2 outputs one of the phase contrast of delay. A synchronous judging machine performs the comparison with input data and a clock signal, is detecting the condition of separating from the limit of mark length specified to data, and judges a synchronization or asynchronous. A switch 1 is between the 1st phase comparator output and the 1st loop filter 40-1, is closed to the synchronizing signal of a synchronous judging machine output, and an asynchronous signal opens it. A switch 1 is between the 2nd phase comparator output and the 2nd loop filter 40-2, is closed to the asynchronous signal of a synchronous judging machine output, and a synchronizing signal opens it. The 1st loop filter 40-1 and the 2nd loop filter 40-2 are inputted into VCO50 through an adder. VCO50 carries out adjustable [of the oscillation frequency] based on an adder output, outputs a clock signal, and performs the synchronization of input data and a clock signal. It is indicated by JP,9-284269,A as a phase frequency synchronous circuit of this configuration.

[0006]

[Problem(s) to be Solved by the Invention] In the phase frequency synchronous circuit of drawing 1, the loop-formation property which consists of the phase comparator 10 and loop filter 40 which are in a synchronous condition, and VCO50 determines a loop filter constant. Although it is the loop formation which consists of the frequency comparator 20, a loop filter 40, and VCO50 in the state of asynchronous, since it cannot be chosen as the loop filter constant corresponding to an asynchronous condition, time amount until it synchronizes from an asynchronous condition has the problem which becomes long.

[0007] In the phase frequency synchronization circuit of drawing 2, the condition that the frequency of data and a

clock approaches from the asynchronous condition which the switch 1 opened and the switch 2 has closed, and the synchronous judging circuit 30 outputs a synchronous judging signal is considered. When outputting a synchronous judging signal, the adder output adding the 1st loop filter output and the 2nd loop filter output is in the condition which approached the predetermined value, in view of the oscillation frequency of VCO50, and it is assumed that the difference of a voltage level is in the 1st phase comparator output and the 1st loop filter output. When a switch 1 closes and a switch 2 opens, an abrupt change may happen to the output of an adder 90 according to the difference of the voltage level of the output of the 1st phase comparator 10-1, and the output of the 1st loop filter 40-1, and a phase frequency synchronous circuit may become unstable. Therefore, although the phase frequency synchronous circuit of drawing 2 is equipped with two loop filters and can set up the drawing-in property of a frequency, and the drawing-in property of a phase according to an individual, it has the problem to which a phase frequency synchronous circuit becomes unstable from frequency drawing-in mode at the time of a phase drawing-in mode change.

[0008] Moreover, the case where data with the large jitter which carried out equivalence magnification and made the feeble lightwave signal binary by drawing 1 are inputted into a phase frequency synchronous circuit is considered. Also in the condition that phase simulation can be taken in the phase frequency synchronization circuit of drawing 1, the frequency comparator 10 operates [an input jitter] exceeding predetermined phase contrast momentarily, and there is a problem on which a clock jitter increases momentarily. In the phase frequency synchronization circuit of drawing 2, when an input jitter exceeds predetermined phase contrast momentarily, there is a problem which the synchronous judging machine 30 carries out a misjudgment law to asynchronous, changes from phase simulation mode to frequency synchronization mode, and the jitter of a clock signal increases. When the phase frequency synchronous circuit of the property which the jitter of a clock signal increases to an optical receiving circuit is used, there is a problem which causes rapid error rate increase. Moreover, generally the phase comparator which outputs the electrical potential difference of the peak value according to the standup of input data and the phase contrast of the clock signal on the basis of both the edges of falling or pulse width when pulse width distortion has input data by the NRZ code has the problem which outputs peak value binary [different] or the electrical potential difference of pulse width a random period. In the loop arrangement in the phase-comparison mode which consists of a phase comparator, a filter, and VCO, if the binary peak value from which a phase comparator differs, or the electrical potential difference of pulse width is outputted a random period, the random component of the phase comparator output in a loop-formation band will cause the increment in a clock jitter. In the loop arrangement which consists of a frequency comparator, a filter, and VCO, if the binary peak value from which a phase comparator differs, or the electrical potential difference of pulse width is outputted a random period, spacing of a frequency comparison test will not serve as an integral multiple of input data width of face, but the precision of a frequency comparison test will fall. If it cannot draw with the frequency synchronous mode to the frequency which can be drawn in phase simulation mode, a phase frequency synchronous circuit has the problem which incorrect-synchronizes.

[0009] As mentioned above, it is offering the phase frequency synchronous circuit which the purpose of this invention considers a synchronous condition as the phase-locked loop configuration which consists of a phase comparator, a filter, and VCO, and shortens time amount until it synchronizes from an asynchronous condition, without carrying out unstable actuation of the phase frequency synchronous circuit when changing from a frequency synchronization loop formation to a phase-locked loop as frequency synchronization loop arrangement which consists of a frequency comparator, a filter, and VCO in an asynchronous condition synchronization.

[0010] Although other purposes of this invention can carry out synchronous operation in the phase-comparison mode of a phase frequency synchronization circuit, when the jitter momentarily exceeding predetermined phase contrast is in input data It is offering the phase frequency synchronous circuit where it judges with the synchronous judging machine output synchronizing, and an input jitter's increases, a frequency comparator output's is not transmitted to a loop filter, but synchronous operation's is performed in phase-comparison mode, and a clock jitter's does not increase momentarily even if a frequency comparator's operates momentarily.

[0011] Other purposes of this invention are offering the phase frequency synchronization circuit which can prevent the frequency comparison precision fall of a frequency comparator by frequency comparison spacing serving as an integral multiple of input data in the case the increment in a jitter by the random component of an NRZ code being prevented, and there being pulse width distortion by the NRZ code, when pulse width distortion has input data by the NRZ code.

[0012]

[Means for Solving the Problem] The phase comparator which considers input data and a clock signal as an input, and outputs the electrical potential difference of the peak value according to the phase contrast of the clock signal on the basis of input data, or pulse width in order to solve the above-mentioned technical problem, The frequency comparator which considers input data and a clock signal as an input, and outputs the size of the frequency of the clock signal on the basis of the transmission speed of input data, The synchronous judging machine which performs the synchronous judging of a phase and a frequency by considering input data and a clock signal as an input, The switch 1 opened when it closes when a phase comparator output is considered as an input and a synchronous judging machine judges with a synchronization, and it judges with it being asynchronous. The switch 2 closed when it opens when a frequency comparator output is considered as an input and a synchronous judging machine judges with a synchronization, and it judges with it being asynchronous. It is characterized by preparing the loop filter which considers switch 1 output and switch 2 output as an input, and VCO which carries out adjustable [of the frequency] based on a loop filter output, and outputs a clock signal.

[0013]

[Embodiment of the Invention] Hereafter, the gestalt of implementation of invention is explained using drawing.

Drawing 3 is one example **** of the phase frequency synchronous circuit by this invention. The phase comparator 10 which the phase frequency synchronization circuit of this invention considers input data and a clock signal as an

input, and outputs the electrical potential difference of the peak value according to the phase contrast of the clock signal on the basis of input data, or pulse width, The frequency comparator 20 which considers input data and a clock signal as an input, and outputs the size of the frequency of the clock signal on the basis of the transmission speed of input data, The synchronous judging machine 30 which performs the synchronous judging of a phase and a frequency by considering input data and a clock signal as an input, The switch 1 opened when it closes when the output of a phase comparator 10 is considered as an input and the synchronous judging machine 30 judges with a synchronization, and it judges with it being asynchronous, The switch 2 closed when it opens when the output of the frequency comparator 20 is considered as an input and the synchronous judging machine 30 judges with a synchronization, and it judges with it being asynchronous, It consists of VCO50 which carries out adjustable [of the frequency] based on the output of the loop filter 40 which considers switch 1 output and switch 2 output as an input, and a loop filter 40, and outputs a clock signal.

[0014] Input data and the clock signal which is a VCO output judge the synchronous judging machine 30 in a synchronization or asynchronous. If it judges with a synchronization, SW1 will be closed, SW2 will be opened, and a loop formation consists of the loop filters and VCO50 which were constituted from a phase comparator 10, and resistance R1 and a capacitor C1. If it judges with it being asynchronous, SW1 will be opened, SW2 will be closed, and a loop formation consists of the loop filters and VCO50 which were constituted from a frequency comparator 20, and resistance R2 and a capacitor C1. If the synchronous judging machine 30 judges with a synchronization even if an input jitter increases and the frequency comparator 20 operates, the frequency comparator 20 will become the outside of a loop formation, and will prevent the increment in a clock jitter. Since the phase comparator 10 which carries out unstable actuation becomes the outside of a loop formation in the state of asynchronous, it does not incorrect-synchronize. Moreover, since the loop filter property corresponding to an asynchronous condition can be realized by resistance R2, with the filter shape of a synchronous condition maintained, the optimal characteristics which shortened time amount until it synchronizes from an asynchronous condition are realizable.

[0015] Drawing 4 shows the example of the synchronous judging machine which used this invention. The 90-degree phase shifter 31 with which the synchronous judging machine 30 by this invention shifts 90 degrees of phases of a clock signal, Consider the output of input data and the 90-degree phase shifter 31 as an input, and high level is outputted when the phase contrast of the clock signal on the basis of input data is -90 degree--+90 degree. The 2nd phase comparator 32 which outputs a low level when the phase contrast of a clock signal is -180 degree--90 degree or +90 degrees - +180 degree of **, It consists of comparators 35 with a hysteresis which considered the output of the 2nd phase comparator 32 as the input, considered the output of the low pass filter 33 of a predetermined band, and a low pass filter 33 as the input, and set up the threshold between high level from the middle point of the high level and low level of the output of the 2nd phase comparator 32.

[0016] Next, detailed actuation of the synchronous judging machine 30 by this invention is explained. The 2nd phase comparator 32 outputs the electrical potential difference of the peak value according to the phase contrast of phase-shifter 31 output which is the clock signal with which about 90 degrees of phases shifted from the input data, and when the phase contrast of input data and a clock signal is 0, it outputs maximum (or the case where they are the minimum value and following maximum is described). On the other hand, when phase contrast arises in input data and a clock signal, 2nd phase comparator 32 output serves as input data transmission speed and a beat signal of the phase according to the phase contrast of a clock signal frequency.

[0017] The 2nd phase comparator 32 output is inputted into the comparator 35 with a hysteresis through a low pass filter 33. The threshold of the comparator 35 with a hysteresis will be set up near the level of 0.75, if high level is set to 1 by making the low level of the 2nd phase comparator 32 output into zero criteria. When the phase contrast of input data and a clock signal is large, low pass filter 33 output becomes near the level of 0.5, and comparator 35 with a hysteresis output outputs an asynchronous judging, so that it becomes a beat signal more than the band of a low pass filter 33. When the frequency of input data and a clock signal is in agreement, the 2nd phase comparator 32 serves as an electrical potential difference near the maximum, low pass filter 33 output becomes near the level of 1, and comparator 35 with a hysteresis output outputs a synchronous judging.

[0018] If a low pass filter 33 is used, since the momentary asynchronous signal which is outputted with the 2nd phase comparator 32 in the case of the large input data of a jitter will be oppressed, a synchronous judging can be correctly performed also by the increment in a jitter of input data.

[0019] The comparator 35 with a hysteresis prevents that a synchronous decision output flusters by unstable fluctuation of a low pass filter 33 in the process which changes from an asynchronous condition to a synchronous condition.

[0020] if the jitter transfer band which transmits the jitter of the loop arrangement which the synchronous judging machine 30 becomes from the phase comparator 10, the filter 40, and VCO50 of a synchronous condition at this time is set to ftc, the transmission speed of input data and the delta frequency of a clock signal frequency will judge it as a synchronization less than [of ftc / pi twice]. The phase drawing-in loop formation which consists of a phase comparator 10, a filter 40, and VCO50 performs control which makes small the transmission speed of input data, and the delta frequency of a clock signal frequency through the control which makes small phase contrast of input data and a clock signal. When the amount of frequency drifts of a clock signal frequency is set to f (t) and initial value is set to deltaf, f (t) of a phase drawing-in loop formation can be expressed with a number (1).

[0021]

[Equation 1]

$$f(t) = \Delta f * \exp(-2\pi * f_{tc} * t) \dots \dots \dots \text{数}(1)$$

[0022] deltatheta can be expressed with a number (2) when the phase shift in t=0 ->infinity of a number (1) is set to

deltatheta.

[0023]

[Equation 2]

$$\Delta \theta = \int 2\pi * f(t) dt \cdots \cdots \cdots \text{数}(2)$$

$$\begin{aligned} &= 2\pi \Delta f * \int \exp(-2\pi * f_{tc} * t) dt \\ &= 2\pi \Delta f * \{-1 / (2\pi * f_{tc})\} * [-2\pi * f_{tc} * t]_0^{\infty} \\ &= \Delta f / f_{tc} \end{aligned}$$

[0024] If deltatheta becomes Number pi, it will think that a phase comparator output generates progress and delay several times, and becomes unstable [a phase drawing-in loop formation], and delta theta=pi will consider as the stable point of a phase drawing-in loop formation.

[0025] From this, it becomes $\Delta f = \pi * f_{tc}$ and, as for a phase drawing-in loop formation, the delta frequency of input data transmission speed and a clock signal frequency operates stably by pi double less or equal of f_{tc} . In the process which synchronizes from an asynchronous condition, a phase drawing-in loop formation performs frequency drawing in in operational stability, and the delta frequency of input data transmission speed and a clock signal frequency can prevent an incorrect synchronization, when the synchronous judging circuit 30 outputs a synchronizing signal by pi double less or equal of f_{tc} .

[0026] The concrete example of a configuration of the frequency comparator 20 and the synchronous judging machine 30 which drawing 5 shows the concrete example of a configuration which used this invention, and is shown in drawing 6. In addition, VCO51 is the thing of a configuration of outputting a clock signal and the clock signal which carried out the phase shift about 90 degrees by differential, respectively.

[0027] Only when NAND1 outputs the electrical potential difference of the pulse width according to the phase contrast of input data and a clock signal and the phase comparator 11 with a switch of drawing-5 has the output of NAND1, NAND2 outputs a fixed pulse. The circuit constituted from T103 transforms the voltage signal of NAND1 and NAND2 into a current signal from a bipolar transistor T100. When there is no phase contrast of input data and a clock signal, the average current output of the phase comparator 11 with a switch has set up the fixed pulse width of appearance NAND 2 used as 0. It becomes high-level in the state of a synchronization synchronous judging machine 30 non-inverter outputting, the phase phase comparator 11 with a switch is operated, a synchronous judging machine 30 non-inverter output serves as a low level in the state of asynchronous, and MOS transistors M1 and M2 suspend the output of the phase phase comparator 11 with a switch. Phase phase comparator 11 with a switch output is connected to 40 loop filter R1, and frequency comparator 20 output is connected to 40 loop filter R2 through a switch SW2. By this configuration, it becomes the phase phase comparator 11 with a switch, the loop filter 40 constituted from R1 and C1, and the loop arrangement which consists of VCO51 at the time of a synchronization, and becomes the frequency comparator 20, the loop filter 40 constituted from R2 and C1, and the loop arrangement which consists of VCO51 at the time of asynchronous. The oscillation frequency which VCO51 averaged is controlled by potential of C1, and there is no oscillation frequency change which VCO51 before and behind a loop-formation change averaged. Moreover, since R2 can be optimized only in an asynchronous loop-formation property by not containing in the loop formation at the time of a synchronization, it can shorten time amount until it synchronizes from an asynchronous condition. Moreover, even when it is in the asynchronous condition that the frequency has shifted so that the phase phase comparator 11 with a switch malfunctions, since the phase phase comparator 11 with a switch is not included in a loop formation, an incorrect synchronization can be prevented.

[0028] Drawing 6 is the example which communalized the 2nd phase comparator 32 which showed the concrete example of a configuration of the frequency comparator 20 and the synchronous judging machine 30 shown in drawing 5, and was used for the frequency comparator 20 and the synchronous judging machine 30. Making a clock signal into a binary digital signal, the frequency comparator 20 and the synchronous judging machine 30 explain the case where it operates not in an analog but in digital one.

[0029] The frequency comparator 20 consists of a phase comparator 21, the 2nd phase comparator 32, and a logical circuit 22. A phase comparator 21 and the 2nd phase comparator 32 are flip-flop circuits which hold the level of Data D by the rising edge of Clock T. A phase comparator 21 connects input data to the clock T of a flip-flop circuit, connects a clock signal to the data D of a flip-flop circuit, and makes it the condition which shows the timing of the phase contrast 0 of input data and a clock signal in drawing 7 a.

[0030] From it, a phase comparator 21 outputs high level, when a low level is outputted when the phase of a clock signal is progressing with $-\pi - 0$ on the basis of the rising edge of input data, and the phase of a clock signal is behind this with $0 - +\pi$. Since input data is connected to the clock T of a flip-flop circuit and 90-degree clock signal is connected to the data D of a flip-flop circuit, as rising edge criteria of input data, the 2nd phase comparator 32 outputs high level, when $-0.5\pi - +0.5\pi$ and phase contrast have the small phase of a clock signal, and the phase of a clock signal $-\pi$. A low level is outputted when $\pi - -0.5\pi$ or $+0.5\pi - +\pi$, and phase contrast are large.

[0031] A timing chart when the frequency of a clock signal is low is shown in drawing 7 c to an input data signal. Inside T21 of a logical circuit: An emitter incorporates V points of the 2nd phase comparator output Q of drawing 7 c, and a T23:emitter incorporates VV point of the 2nd phase comparator output Q of drawing 7 c in a logical circuit. In the condition that a frequency judging cannot be performed, frequency comparator 20 output outputs the middle point level of an output swing, and is outputting a low level on the point judged as a clock frequency being low. In addition, high level is outputted on the point judged as a clock frequency being high.

[0032] The synchronous judging machine 30 consists of the 2nd phase comparator 32, low frequency band pass amplifier 34, and comparator 35 with a hysteresis. The pulse according to the delta frequency of an input data signal

and a clock signal carries out the 2nd phase comparator 32 output of a timing chart shown in drawing 7 c. The low frequency band pass amplifier 34 serves as a wave it is indicated as a continuous line that is a narrow-band, as shown in an alternate long and short dash line, when the threshold of the comparator 35 with a hysteresis is set up, comparator 35 with a hysteresis output always serves as a low level in the period on a timing chart, and an asynchronous condition is shown. The point with which the low frequency band pass amplifier 34 serves as a wave it is indicated by the dotted line that is a broadband, and becomes beyond the threshold of the comparator 35 with a hysteresis arises, and comparator 35 with a hysteresis output outputs the high level which shows a synchronous condition intermittently. The low frequency band pass amplifier 34 has the function to prevent that the synchronous judging machine 30 outputs a synchronizing signal intermittently in the condition that the delta frequency of an input data signal and a clock signal is large. In the case of the large input data of a jitter, the low frequency band pass amplifier 34 has the effectiveness which oppresses the momentary asynchronous signal generated with the 2nd phase comparator 32.

[0033] Although drawing 7 c is a time of input data being 10 repeats, if input data becomes a random pattern, the incorrect-detected pattern exists, and it is necessary to perform a frequency judging on the average, and R2 and C1 of a loop filter perform the actuation. If experiment evaluation of this circuit is carried out when input data is a random pattern, a misjudgment law will be carried out to a clock signal frequency exceeding about $-85 - +115\%$ on the basis of input data transmission speed as a frequency comparator. From this, the frequency range of the clock signal of VCO51 is set up with $-90 - +110\%$ on the basis of input data transmission speed.

[0034] Drawing 8 shows the example of another phase frequency synchronous circuit which used this invention. VCO-A, VCO-B, and VCO-C correspond to the input data rate from which a clock signal frequency differs and differs. Only VCO chosen by the mode selector signal oscillates, and a phase frequency loop is formed through a selector 60. The consumed electric current of VCO which is not chosen by the mode selector signal serves as zero, and there is no increment in power consumption by this invention. This invention is a technique which makes the phase frequency synchronous circuit which manufactured for some kinds of every input data rates one kind of phase frequency synchronous circuit, and is suitable for IC-ization which carries out 1 form mass production method. The phase frequency synchronization circuit 100 is the example which can respond to three kinds of input data rates, and can respond to the input data rate of the class of part which carried VCO from which a clock signal frequency differs in this invention.

[0035] Drawing 9 shows the example of the optical receiving circuit which used this invention. In preparation for the phase frequency synchronous circuit 100 using this invention, the optical receiving circuit is constituted for a photo detector 200, a preamp 300, the latter-part amplifier 400, and a discrimination circuit 500.

[0036] The low pass filter output when the input data and the clock signal synchronize expresses the probability of occurrence in case the phase contrast of the clock signal on the basis of input data becomes $+90$ to $+180$ degrees, and if the jitter of input data increases, this probability of occurrence will go up. [-180 degree to -90 degree, or] The count result of the rate of a data error which converted the output voltage which the low pass filter 33 normalized from the jitter of input data is shown in drawing 10.

[0037] the threshold in which the 2nd comparator 71 with a hysteresis carries out alarm generation -- 2nd with a hysteresis -- comparator normalizing-value $0.85V$ and the threshold which carries out alarm discharge -- 2nd with a hysteresis -- if it sets up with comparator normalization value $0.95V$, an alarm can be generated and canceled of the error rate 10^{-1} of data by 10^{-3} .

[0038] When the rate of a data error constituted the alarm which generates by 10^{-1} to 10^{-3} , the alarm function was conventionally realized by the approach of detecting the signal power of an optical receiving circuit. In the case of the optical input signal through the optical amplifier which is the description in recent years, optical noise power cannot be disregarded compared with the noise power generated in an optical receiving circuit, and alarm generating cannot be correctly carried out by the method which detects the signal power of an optical receiving circuit. If it sets up as mentioned above, even when optical noise power cannot be disregarded compared with the noise power generated in an optical receiving circuit, an alarm can be generated at the predetermined rate of a data error.

[0039]

[Effect of the Invention] As mentioned above, as explained, it considers as the phase-locked loop configuration which consists of a phase comparator, a filter, and VCO according to this invention, and as frequency synchronization loop arrangement which consists of a frequency comparator, a filter, and VCO in the state of asynchronous, when changing from a frequency synchronization loop formation to a phase-locked loop, there is effectiveness which can shorten time amount until it synchronizes from an asynchronous condition, without carrying out unstable actuation of the phase frequency synchronous circuit.

[0040] Moreover, although synchronous operation can be carried out in the phase-comparison mode of a phase frequency synchronization circuit, when the jitter momentarily exceeding predetermined phase contrast is in input data according to this invention, it is effective in judging with the synchronous judging machine output synchronizing, and an input jitter increasing, and a frequency comparator output not being transmitted to a loop filter, but performing synchronous operation in phase-comparison mode, and a clock jitter not increasing momentarily, even if a frequency comparator operates momentarily.

[0041] Moreover, according to this invention, when pulse width distortion has input data by the NRZ code, there are input data which the phase comparator detected, and effectiveness that the phase contrast of a clock signal does not change by the existence of pulse width distortion.

[0042] Moreover, according to this invention, it is effective in the electrical potential difference which the loop filter which consists of a series connection of resistance and a capacitor in a synchronous condition generates in resistance of a loop filter with the capacitor terminal voltage of a loop filter not changing, but a RF loop-formation property becoming fixed.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-177397

(P2001-177397A)

(43) 公開日 平成13年6月29日 (2001.6.29)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
H 0 3 L	7/087	H 0 3 L 7/08	P 5 J 1 0 6
	7/095		B 5 K 0 0 2
	7/08		M 5 K 0 4 7
	7/085		A
	7/099		F

審査請求 未請求 請求項の数17 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願平11-358531

(22) 出願日 平成11年12月17日 (1999. 12. 17)

(71) 出願人 301005371

日本オブネクト株式会社

神奈川県横浜市戸塚区戸塚町216番地

(72) 発明者 長谷川 淳

神奈川県横浜市戸塚区戸塚町216番地 株
式会社日立製作所通信システム事業本部内

(72) 発明者 青木 哲哉

神奈川県横浜市戸塚区戸塚町216番地 株
式会社日立製作所通信システム事業本部内

(74) 代理人 100075096

弁理士 作田 康夫

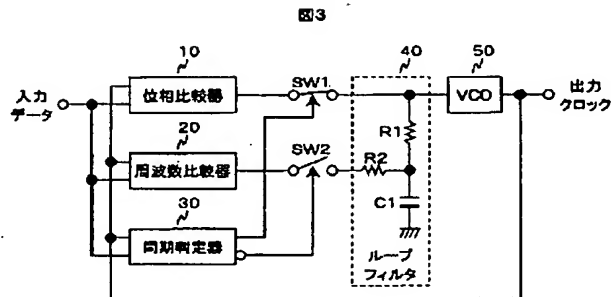
最終頁に続く

(54) 【発明の名称】 位相周波数同期回路および光受信回路

(57) 【要約】

【課題】 位相周波数同期回路において、非同期状態に対応したループフィルタ定数を選べないため、非同期状態から同期するまでの時間が長くなる。

【解決手段】 入力信号を基準としたクロックの位相差に応じた電圧を出力する位相比較器 10 と、入力信号の伝送速度を基準としたクロックの周波数の大小を判定し 2 値信号を出力する周波数比較器 20 と、位相及び周波数の同期判定を行う同期判定器 30 と、位相比較器 10 の出力を入力とし、同期判定器 30 が同期と判定した時に閉じて、非同期と判定した時に開く第 1 のスイッチと、周波数比較器 20 の出力を入力とし同期判定器 30 が同期と判定した時に開いて、非同期と判定した時に閉じる第 2 のスイッチと、第 1 のスイッチ出力と第 2 のスイッチ出力を入力とするループフィルタ 40 と、ループフィルタ 40 の出力に基づき発振する電圧制御発振器 50 とから成ることを特徴とする。



【特許請求の範囲】

【請求項1】入力データとクロック信号とを入力とし該入力データを基準とした該クロック信号との位相差に応じた波高値またはパルス幅の電圧を出力する位相比較器と、

上記入力データと上記クロック信号とを入力とし該入力データの伝送速度を基準とした該クロック信号の周波数の大小を判定し2値信号を出力する周波数比較器と、

上記入力データと上記クロック信号とを入力として位相及び周波数の同期判定を行う同期判定器と、

上記位相比較器出力を入力とし、上記同期判定器が同期と判定した場合に閉じて、非同期と判定した場合に開く第1のスイッチと、

上記周波数比較器出力を入力とし、上記同期判定器が同期と判定した場合に閉いて、非同期と判定した場合に閉じる第2のスイッチと、

上記第1のスイッチ出力と上記第2のスイッチ出力を入力とするループフィルタと、

上記ループフィルタ出力に基づき周波数を可変して上記クロック信号を出力する電圧制御発振器とから成ることを特徴とする位相周波数同期回路。

【請求項2】前記同期判定器は、

前記クロック信号の位相を 90° シフトする 90° 移相器と、

前記入力データと上記 90° 移相器出力とを入力とし、該入力データを基準とした上記クロック信号の位相差が -90° から $+90^\circ$ の時ハイレベルを出力し、該クロック信号との位相差が -180° から -90° 、または、 $+90^\circ$ から $+180^\circ$ の時ローレベルを出力する第2の位相比較器と、

上記第2の位相比較器出力を入力とし所定の帯域を有する低域通過フィルタと、

上記低域通過フィルタ出力を入力とし上記第2の位相比較器出力のハイレベルとローレベルの midpoint からハイレベルの間に閾値を設定したヒステリシス付比較器を設けて、

上記入力データの伝送速度と上記クロック信号の周波数差が上記低域通過フィルタで決まる帯域以上の場合、周波数同期していないと判断して該入力データと該クロック信号との位相差に関係なく非同期信号を上記ヒステリシス付比較器が出力し、

上記入力データの伝送速度と上記クロック信号の周波数差が上記低域通過フィルタで決まる帯域以下の場合、上記ヒステリシス付比較器の閾値に基づいた上記入力データと上記クロックの比較結果を上記低域通過フィルタで平均化した平均位相差が所定以内の時、上記ヒステリシス付比較器が同期信号を出力し、上記平均位相差が所定以外の時、上記ヒステリシス付比較器が非同期信号を出力することを特徴とする請求項1に記載の位相周波数同期回路。

【請求項3】前記の同期判定器は、

同期状態の前記位相比較器と前記ループフィルタと前記VCOからなるループ構成のジッタトランスファ帯域を f_{tc} とすると、

前記入力データの伝送速度と前記クロック信号の周波数差が f_{tc} の π 倍以上で周波数非同期と判断することを特徴とする請求項2に記載の位相周波数同期回路。

【請求項4】前記位相比較器と前記第2の位相比較器は、前記入力データの立ち上がり又は立ち下がりのどちらか一方のエッジを基準とした前記クロック信号の位相差に応じた波高値またはパルス幅の電圧を出力することを特徴とする請求項2に記載の位相周波数同期回路。

【請求項5】前記位相比較器と前記第2の位相比較器は、前記入力データの立ち上がり又は立ち下がりのどちらか一方のエッジを基準とした前記クロック信号の位相差に応じた波高値またはパルス幅の電圧を出力することを特徴とする請求項3に記載の位相周波数同期回路。

【請求項6】前記位相比較器は前記入力データと前記クロック信号の位相差に応じた波高値またはパルス幅の電流を出力することを特徴とする請求項1に記載の位相周波数同期回路。

【請求項7】前記電圧制御発振器は、前記ループフィルタ出力を入力として外部からのモードセレクト信号により動作及び非動作し発振周波数が異なる電圧制御発振器を複数搭載し、上記複数の発振周波数が異なる電圧制御発振器を入力としてモードセレクト信号により上記発振周波数が異なる電圧制御発振器から1つのクロック信号を出力するセレクトを設けたことを特徴とする請求項1に記載の位相周波数同期回路。

【請求項8】前記低域通過フィルタ出力を入力とし前記ヒステリシス付比較器と異なる閾値とした第2のヒステリシス付比較器を設けて、前記入力データのジッタが上記第2のヒステリシス付比較器で決まる入力データのジッタ閾値より大きい場合に上記第2のヒステリシス付比較器がアラームを出力することを特徴とする請求項2に記載の位相周波数同期回路。

【請求項9】前記低域通過フィルタ出力を入力とし前記ヒステリシス付比較器と異なる閾値とした第2のヒステリシス付比較器を設けて、前記入力データのジッタが上記第2のヒステリシス付比較器で決まる入力データのジッタ閾値より大きい場合に上記第2のヒステリシス付比較器がアラームを出力することを特徴とする請求項3に記載の位相周波数同期回路。

【請求項10】前記低域通過フィルタ出力を入力とし前記ヒステリシス付比較器と異なる閾値とした第2のヒステリシス付比較器を設けて、前記入力データのジッタが上記第2のヒステリシス付比較器で決まる入力データのジッタ閾値より大きい場合に上記第2のヒステリシス付比較器がアラームを出力することを特徴とする請求項4に記載の位相周波数同期回路。

【請求項 11】前記低域通過フィルタ出力を入力とし前記ヒステリシス付比較器と異なる閾値とした第2のヒステリシス付比較器を設けて、前記入力データのジッタが上記第2のヒステリシス付比較器で決まる入力データのジッタ閾値より大きい場合に上記第2のヒステリシス付比較器がアラームを出力することを特徴とする請求項5に記載の位相周波数同期回路。

【請求項 12】光信号を受信し光電変換する受光素子と、上記光電変換された信号を増幅し前記入力データを出力する増幅器と、上記入力データを入力とし前記クロック信号を出力する請求項8記載の位相周波数同期回路と、上記入力データと上記クロック信号を入力とし識別再生する識別器とを含む光受信回路であって、前記第2ヒステリシス付比較器で決まる入力データのジッタ閾値をデータ誤り率が 10^{-1} から 10^{-3} となるように設定したことを特徴とする光受信回路。

【請求項 13】光信号を受信し光電変換する受光素子と、上記光電変換された信号を増幅し前記入力データを出力する増幅器と、上記入力データを入力とし前記クロック信号を出力する請求項9記載の位相周波数同期回路と、上記入力データと上記クロック信号を入力とし識別再生する識別器とを含む光受信回路であって、前記第2ヒステリシス付比較器で決まる入力データのジッタ閾値をデータ誤り率が 10^{-1} から 10^{-3} となるように設定したことを特徴とする光受信回路。

【請求項 14】光信号を受信し光電変換する受光素子と、上記光電変換された信号を増幅し前記入力データを出力する増幅器と、上記入力データを入力とし前記クロック信号を出力する請求項10記載の位相周波数同期回路と、上記入力データと上記クロック信号を入力とし識別再生する識別器とを含む光受信回路であって、前記第2ヒステリシス付比較器で決まる入力データのジッタ閾値をデータ誤り率が 10^{-1} から 10^{-3} となるように設定したことを特徴とする光受信回路。

【請求項 15】光信号を受信し光電変換する受光素子と、上記光電変換された信号を増幅し前記入力データを出力する増幅器と、上記入力データを入力とし前記クロック信号を出力する請求項11記載の位相周波数同期回路と、上記入力データと上記クロック信号を入力とし識別再生する識別器とを含む光受信回路であって、前記第2ヒステリシス付比較器で決まる入力データのジッタ閾値をデータ誤り率が 10^{-1} から 10^{-3} となるように設定したことを特徴とする光受信回路。

【請求項 16】複数の請求項14記載の光受信回路と複数の光送信回路との間を複数の光ファイバでそれぞれ接続し光伝送の経路を複数有する光伝送システムであって、前記第2のヒステリシス付比較器が出力するアラームを光伝送の経路切り替え情報の1つとしたことを特徴とする光伝送システム。

【請求項 17】複数の請求項15記載の光受信回路と複

数の光送信回路との間を複数の光ファイバでそれぞれ接続し光伝送の経路を複数有する光伝送システムであって、前記第2のヒステリシス付比較器が出力するアラームを光伝送の経路切り替え情報の1つとしたことを特徴とする光伝送システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光伝送システムに関わり、特に光ファイバ伝送に用いる位相同期回路に関する。

【0002】

【従来の技術】光伝送システムでは、光受信信号を受光素子で光電変換し電気信号に変換する。この変換された電気信号を等価増幅し、2値化したNRZ符号のデータは、光受信レベルが大きいとジッタが小さく、光受信レベルが小さくなるに従いジッタが増加し、光信号が無い場合は雑音出力となりジッタ無限大に相当する。また、光送信回路及び光受信回路によりこのデータにはパルス幅歪みが生じる。

【0003】このようなデータ信号からデータに同期したクロック信号を発生させる関連の位相周波数同期回路の構成を図1に示す。位相比較器10は、入力データとクロック信号の位相差に応じた波高値またはパルス幅の電圧を出力する。周波数比較器20は、入力データの伝送速度を基準としたクロック信号の周波数の大小を出力し、入力データとクロック信号が同期して所定位相差以内になると周波数の大小を出力しない。位相比較器10の出力と周波数比較器20の出力を重ね合わせ器80を介してループフィルタ40に入力する。VCO（電圧制御発振器以下VCOと言う）50はループフィルタ40の出力に基づき発振周波数を可変してクロック信号を出力し、入力データとクロック信号の同期を行う。本構成の位相周波数同期回路としては、例えば1992 IEEE International Solid-State Circuits Conference p.162「T P10.3:A 8Gb/s Si Bipolar Phase and Frequency Detector IC for Clock Extraction」や、特開平6-216766号公報に記載されている。

【0004】また、ディスクを使用したファイル装置では、ディスクの回転むら等の原因でデータ速度の1%程度のゆれが存在し、光受信回路からのデータ信号からみてファイル装置からのデータ信号はジッタおよびパルス幅歪みが小さい。このようなデータ信号からデータに同期したクロック信号を発生させる関連の位相周波数同期回路の構成を図2に示す。第1位相比較器10-1は、入力データとクロック信号の位相差に応じたパルス幅の電圧を出力する。周波数比較器20は、入力データとクロック信号との比較を行い、データに規定されたマーク長の制限を外れる状態を検出することでクロックの周波数がデータの周波数に対して高いか低いかを判別し出力する。

【0005】第2位相比較器10-2は、入力とクロック信号の位相差を全て位相進みまたは位相遅れとして、入力とクロック信号の位相差に応じたパルス幅の電圧を出力する。第2位相比較器10-2は、入力データとクロック信号と周波数比較器20出力を入力として、周波数比較器20出力に応じて入力データとクロック信号の位相差が進みあるいは遅れのどちらかの位相差を出力する。同期判定器は、入力データとクロック信号との比較を行い、データに規定されたマーク長の制限を外れる状態を検出することで、同期か非同期かを判定する。スイッチ1は第1位相比較器出力と第1ループフィルタ40-1の間にあり同期判定器出力の同期信号に閉じて非同期信号により開く。スイッチ1は第2位相比較器出力と第2ループフィルタ40-2の間にあり同期判定器出力の非同期信号に閉じて同期信号により開く。第1ループフィルタ40-1と第2ループフィルタ40-2を加算器を介してVCO50に入力する。VCO50は加算器出力に基づき発振周波数を可変してクロック信号を出力し、入力データとクロック信号の同期を行う。本構成の位相周波数同期回路としては、特開平9-284269号公報に記載されている。

【0006】

【発明が解決しようとする課題】図1の位相周波数同期回路において、ループフィルタ定数は同期状態である位相比較器10とループフィルタ40とVCO50からなるループ特性により決定する。非同期状態では周波数比較器20とループフィルタ40とVCO50からなるループであるが、非同期状態に対応したループフィルタ定数に選べないため、非同期状態から同期するまでの時間は長くなる問題がある。

【0007】図2の位相周波数同期回路において、スイッチ1が開いてスイッチ2が閉じている非同期状態からデータとクロックの周波数が近づき同期判定回路30が同期判定信号を出力する状態を考える。同期判定信号を出力する時は、第1ループフィルタ出力と第2ループフィルタ出力を加算した加算器出力がVCO50の発振周波数からみて所定の値に近づいた状態であって、第1位相比較器出力と第1ループフィルタ出力に電圧レベルの差があることが想定される。スイッチ1が閉じてスイッチ2が開いた時、第1位相比較器10-1の出力と第1ループフィルタ40-1の出力の電圧レベルの差により加算器90の出力に急激な変化が起こり、位相周波数同期回路が不安定となる可能性がある。従って、図2の位相周波数同期回路は、2つのループフィルタを備えて周波数の引き込み特性と位相の引き込み特性を個別に設定できるが、周波数引き込みモードから位相引き込みモード切り替え時に位相周波数同期回路が不安定となる問題がある。

【0008】また、図1で、微弱な光信号を等価増幅し2値化した大きいジッタのあるデータを、位相周波数同

期回路に入力した場合を考える。図1の位相周波数同期回路で位相同期が取れている状態においても、入力ジッタが瞬間的に所定の位相差を超えて周波数比較器10が動作し、クロックジッタが瞬間的に増大する問題がある。図2の位相周波数同期回路では、入力ジッタが瞬間的に所定の位相差を超えると同期判定器30が非同期と誤判定し位相同期モードから周波数同期モードに切り替わりクロック信号のジッタが増加する問題がある。光受信回路にクロック信号のジッタが増加する特性の位相周波数同期回路を用いると急激な誤り率増大を起こす問題がある。また、一般に、入力データがNRZ符号でパルス幅歪みがある場合、入力データの立ち上がり立ち下りの両エッジを基準としたクロック信号の位相差に応じた波高値またはパルス幅の電圧を出力する位相比較器は、異なる2値の波高値またはパルス幅の電圧をランダムな周期で出力する問題がある。位相比較器とフィルタとVCOからなる位相比較モードのループ構成では、位相比較器が異なる2値の波高値またはパルス幅の電圧をランダムな周期で出力すると、ループ帯域内の位相比較器出力のランダム成分がクロックジッタの増加を引き起こす。周波数比較器とフィルタとVCOからなるループ構成では、位相比較器が異なる2値の波高値またはパルス幅の電圧をランダムな周期で出力すると、周波数比較判定の間隔が入力データ幅の整数倍とならず周波数比較判定の精度が低下する。位相同期モードで引き込める周波数まで周波数同期モードで引き込めないと、位相周波数同期回路は誤同期する問題がある。

【0009】以上、本発明の目的は、同期状態は位相比較器とフィルタとVCOからなる位相同期ループ構成とし、非同期状態同期では周波数比較器とフィルタとVCOからなる周波数同期ループ構成として、周波数同期ループから位相同期ループに切り替える時に位相周波数同期回路を不安定動作させずに非同期状態から同期するまでの時間を短くする位相周波数同期回路を提供することである。

【0010】本発明の他の目的は、位相周波数同期回路の位相比較モードで同期動作できるが瞬間的に所定の位相差を超えるジッタが入力データにある場合に、同期判定器出力が同期していると判定して入力ジッタが増大して瞬間的に周波数比較器が動作してもループフィルタに周波数比較器出力が伝達されず位相比較モードで同期動作を行いクロックジッタが瞬間的に増大しない位相周波数同期回路を提供することである。

【0011】本発明の他の目的は、入力データがNRZ符号でパルス幅歪みがある場合、NRZ符号のランダム成分によるジッタ増加を防止でき、また、NRZ符号でパルス幅歪みがある場合では、周波数比較間隔が入力データの整数倍となり、周波数比較器の周波数比較精度低下を防止できる位相周波数同期回路を提供することである。

【0012】

【課題を解決するための手段】上記課題を解決するために、入力データとクロック信号とを入力とし入力データを基準としたクロック信号の位相差に応じた波高値またはパルス幅の電圧を出力する位相比較器と、入力データとクロック信号とを入力とし入力データの伝送速度を基準としたクロック信号の周波数の大小を出力する周波数比較器と、入力データとクロック信号とを入力として位相及び周波数の同期判定を行う同期判定器と、位相比較器出力を入力とし同期判定器が同期と判定した場合に閉じて非同期と判定した場合に開くスイッチ1と、周波数比較器出力を入力とし同期判定器が同期と判定した場合に開いて非同期と判定した場合に閉じるスイッチ2と、スイッチ1出力とスイッチ2出力を入力とするループフィルタと、ループフィルタ出力に基づき周波数を可変してクロック信号を出力するVCOとを設けたことを特徴とする。

【0013】

【発明の実施の形態】以下、発明の実施の形態を図を用いて説明する。図3は、本発明による位相周波数同期回路の一実施例である。本発明の位相周波数同期回路は、入力データとクロック信号とを入力とし入力データを基準としたクロック信号の位相差に応じた波高値またはパルス幅の電圧を出力する位相比較器10と、入力データとクロック信号とを入力とし入力データの伝送速度を基準としたクロック信号の周波数の大小を出力する周波数比較器20と、入力データとクロック信号とを入力として位相及び周波数の同期判定を行う同期判定器30と、位相比較器10の出力を入力とし同期判定器30が同期と判定した場合に閉じて非同期と判定した場合に開くスイッチ1と、周波数比較器20の出力を入力とし同期判定器30が同期と判定した場合に開いて非同期と判定した場合に閉じるスイッチ2と、スイッチ1出力とスイッチ2出力を入力とするループフィルタ40と、ループフィルタ40の出力に基づき周波数を可変してクロック信号を出力するVCO50で構成されている。

【0014】同期判定器30は、入力データとVCO出力であるクロック信号とが同期か非同期か判定する。同期と判定するとSW1を閉じてSW2を開け、位相比較器10、抵抗R1とコンデンサC1で構成したループフィルタ、VCO50でループを構成する。非同期と判定するとSW1を開けてSW2を閉じ、周波数比較器20、抵抗R2とコンデンサC1で構成したループフィルタ、VCO50でループを構成する。入力ジッタが増大して周波数比較器20が動作しても同期判定器30が同期と判定すると周波数比較器20がループ外となり、クロックジッタの増加を防止する。非同期状態では、不安定動作する位相比較器10がループ外となるので誤同期しない。また、同期状態のフィルタ特性を維持したまま非同期状態に対応したループフィルタ特性を抵抗R2

にて実現できるので、非同期状態から同期するまでの時間を短くした最適特性が実現できる。

【0015】図4は、本発明を用いた同期判定器の実施例を示すものである。本発明による同期判定器30は、クロック信号の位相を 90° シフトする 90° 移相器31と、入力データと 90° 移相器31の出力を入力とし入力データを基準としたクロック信号の位相差が $-90^\circ \sim +90^\circ$ の時ハイレベルを出力し、クロック信号の位相差が $-180^\circ \sim -90^\circ$ または $+90^\circ \sim +180^\circ$ の時ローレベルを出力する第2の位相比較器32と、第2の位相比較器32の出力を入力とし所定の帯域の低域通過フィルタ33と、低域通過フィルタ33の出力を入力とし第2の位相比較器32の出力のハイレベルとローレベルの中間からハイレベルの間に閾値を設定したヒステリシス付比較器35で構成されている。

【0016】次に本発明による同期判定器30の詳細な動作を説明する。第2の位相比較器32は、入力データと 90° 位相のずれたクロック信号である移相器31出力の位相差に応じた波高値の電圧を出力し入力データとクロック信号の位相差が0の時、最大値（又は最小値、以下最大値の場合を記す）を出力する。一方、入力データとクロック信号に位相差が生じた場合、第2位相比較器32出力は、入力データ伝送速度とクロック信号周波数の位相差に応じた位相のビート信号となる。

【0017】第2の位相比較器32出力は低域通過フィルタ33を介してヒステリシス付き比較器35に入力する。ヒステリシス付き比較器35の閾値は、第2の位相比較器32出力のローレベルを0基準としてハイレベルを1とすると0.75のレベル近傍に設定する。低域通過フィルタ33の帯域以上のビート信号となる程、入力データとクロック信号の位相差が大きい場合は、低域通過フィルタ33出力は0.5のレベル近傍となり、ヒステリシス付き比較器35出力は、非同期判定を出力する。入力データとクロック信号の周波数が一致している場合は、第2の位相比較器32は最大値近傍の電圧となり、低域通過フィルタ33出力は1のレベル近傍となり、ヒステリシス付き比較器35出力は同期判定を出力する。

【0018】低域通過フィルタ33を用いれば、ジッタの大きい入力データの場合に第2の位相比較器32で出力する瞬間的な非同期信号を抑圧するので、入力データのジッタ増加でも正しく同期判定を行うことができる。

【0019】ヒステリシス付き比較器35は、非同期状態から同期状態へ遷移する過程で低域通過フィルタ33の不安定な変動で同期判定出力がばたつくのを防止する。

【0020】この時、同期判定器30は、同期状態の位相比較器10とフィルタ40とVCO50からなるループ構成のジッタを伝達するジッタトランスファ帯域を f_{tc} とすると、入力データの伝送速度とクロック信号周

波数の周波数差が f_{tc} の π 倍以下で同期と判断するものである。位相比較器 10 とフィルタ 40 と VCO50 からなる位相引き込みループは、入力データとクロック信号の位相差を小さくする制御を通して、入力データの伝送速度とクロック信号周波数の周波数差を小さくする

$$f(t) = \Delta f * \exp(-2\pi * f_{tc} * t) \dots \dots \dots \text{数(1)}$$

【0022】数(1)の $t=0 \rightarrow \infty$ での位相シフトを $\Delta \theta$ とすると、 $\Delta \theta$ は数(2)で表せる。

$$\begin{aligned} \Delta \theta &= \int 2\pi * f(t) dt \dots \dots \dots \text{数(2)} \\ &= 2\pi \Delta f * \int \exp(-2\pi * f_{tc} * t) dt \\ &= 2\pi \Delta f * \left\{ -1 / (2\pi * f_{tc}) \right\} * [-2\pi * f_{tc} * t]_{0}^{\infty} \\ &= \Delta f / f_{tc} \end{aligned}$$

【0024】 $\Delta \theta$ が数 π となると位相比較器出力が進み及び遅れを数回発生させ、位相引き込みループは不安定となると考え、 $\Delta \theta = \pi$ が位相引き込みループの安定ポイントとする。

【0025】これより、 $\Delta f = \pi * f_{tc}$ となり、入力データ伝送速度とクロック信号周波数の周波数差が f_{tc} の π 倍以下で位相引き込みループは安定動作する。非同期状態から同期する過程で、入力データ伝送速度とクロック信号周波数の周波数差が f_{tc} の π 倍以下で同期判定回路 30 が同期信号を出力することにより、位相引き込みループは安定動作で周波数引き込みを行い誤同期を防止できる。

【0026】図5は、本発明を用いた具体的な構成例を示すもので、図に示す周波数比較器 20 と同期判定器 30 の具体的な構成例は図6に示す。なお、VCO51 は、クロック信号と 90° 位相シフトしたクロック信号をそれぞれ差動で出力する構成のものである。

【0027】図5のスイッチ付位相比較器 11 は、入力データとクロック信号の位相差に応じたパルス幅の電圧を NAND1 が出力し、NAND1 の出力がある時のみ固定パルスを NAND2 が出力する。バイポーラトランジスタ T100 から T103 で構成する回路は NAND1 及び NAND2 の電圧信号を電流信号に変換する。入力データとクロック信号の位相差が無い場合は、スイッチ付位相比較器 11 の平均電流出力が 0 となる様 NAND2 の固定パルス幅を設定している。MOS トランジスタ M1 及び M2 は、同期状態では同期判定器 30 正相出力がハイレベルとなってスイッチ付位相比較器 11 を動作させ、非同期状態では同期判定器 30 正相出力がローレベルとなってスイッチ付位相比較器 11 の出力を停止する。スイッチ付位相比較器 11 出力をループフィルタ 40 の R1 に接続し、スイッチ SW2 を介して周波数比較器 20 出力をループフィルタ 40 の R2 に接続する。本構成により、同期時はスイッチ付位相比較器 11 と、R1 と C1 で構成したループフィルタ

制御を行う。クロック信号周波数の周波数ずれ量を $f(t)$ とし、初期値を Δf とすると、位相引き込みループの $f(t)$ は数(1)で表せる。

【0021】

【数1】

【0023】

【数2】

40 と、VCO51 からなるループ構成となり、非同期時は周波数比較器 20 と、R2 と C1 で構成したループフィルタ 40 と、VCO51 からなるループ構成となる。VCO51 の平均した発振周波数は、C1 の電位で制御しており、ループ切り替え前後における VCO51 の平均した発振周波数変化はない。また、R2 は同期時のループに含まないことにより非同期のループ特性だけで最適化できるため、非同期状態から同期するまでの時間を短くすることができる。また、スイッチ付位相比較器 11 が誤動作するほど周波数がずれている非同期状態の場合でも、スイッチ付位相比較器 11 をループに含まないため誤同期を防止できる。

【0028】図6は、図5に示す周波数比較器 20 と同期判定器 30 の具体的な構成例を示し、周波数比較器 20 と同期判定器 30 に用いた第2位相比較器 32 を共通化した例である。クロック信号は2値のデジタル信号とし、周波数比較器 20 と同期判定器 30 はアナログでなくデジタルで動作する場合を説明する。

【0029】周波数比較器 20 は、位相比較器 21 と第2の位相比較器 32 とロジック回路 22 からなる。位相比較器 21 および第2の位相比較器 32 は、クロック T の立ち上がりエッジでデータ D のレベルを保持するフリップフロップ回路である。位相比較器 21 は、入力データをフリップフロップ回路のクロック T へ接続しクロック信号をフリップフロップ回路のデータ D へ接続して、入力データとクロック信号の位相差 0 のタイミングを図7aに示す状態とする。

【0030】これより、位相比較器 21 は、入力データの立ち上がりエッジを基準としてクロック信号の位相が $-\pi \sim 0$ と進んでいる場合にローレベルを出力しクロック信号の位相が $0 \sim +\pi$ と遅れている場合はハイレベルを出力する。第2の位相比較器 32 は、入力データをフリップフロップ回路のクロック T へ接続し 90° クロック信号をフリップフロップ回路のデータ D へ接続するので、入力データの立ち上がりエッジ基準としてクロック

信号の位相が $-0.5\pi \sim +0.5\pi$ と位相差が小さい場合はハイレベルを出力し、クロック信号の位相が $-\pi \sim -0.5\pi$ 又は $+0.5\pi \sim +\pi$ と位相差が大きい場合はローレベルを出力する。

【0031】入力データ信号に対してクロック信号の周波数が低い場合のタイミングチャートを図7cに示す。ロジック回路内T21：エミッタは図7cの第2位相比較器出力QのV点を取り込み、ロジック回路内T23：エミッタは図7cの第2の位相比較器出力QのVV点を取り込む。周波数比較器20出力は、周波数判定ができない状態では出力振幅の中点レベルを出力し、クロック周波数が低いと判定できたポイントでローレベルを出力している。なお、クロック周波数が高いと判定できたポイントではハイレベルを出力する。

【0032】同期判定器30は、第2の位相比較器32と低周波数帯域増幅器34とヒステリシス付比較器35からなる。図7cに示すタイミングチャートの第2の位相比較器32出力は、入力データ信号とクロック信号の周波数差に応じたパルスがする。低周波数帯域増幅器34が狭帯域であると実線で示す波形となり、ヒステリシス付比較器35の閾値を一点鎖線に示すように設定するとタイミングチャート上の期間でヒステリシス付比較器35出力は常時ローレベルとなり、非同期状態を示す。低周波数帯域増幅器34が広帯域であると点線で示す波形となり、ヒステリシス付比較器35の閾値以上となるポイントが生じ、ヒステリシス付比較器35出力は間欠的に同期状態を示すハイレベルを出力する。低周波数帯域増幅器34は、入力データ信号とクロック信号の周波数差が大きい状態で同期判定器30が間欠的に同期信号を出力する事を防止する機能がある。低周波数帯域増幅器34は、ジッタの大きい入力データの場合に第2位相比較器32で発生する瞬間的な非同期信号を抑圧する効果もある。

【0033】図7cは、入力データが10繰り返しの時であるが、入力データがランダムパターンになると誤検出するパターンが存在し、平均的に周波数判定を行う必要があり、その動作をループフィルタのR2とC1が行う。入力データがランダムパターンの場合にこの回路を実験評価すると、入力データ伝送速度を基準としてクロック信号周波数が $-85 \sim +115\%$ 近傍を超えると周波数比較器として誤判定する。これより、VCO51のクロック信号の周波数範囲は入力データ伝送速度を基準として $-90 \sim +110\%$ と設定している。

【0034】図8は、本発明を用いた別の位相周波数同期回路の実施例を示すものである。VCO-A、VCO-B、VCO-Cは、クロック信号周波数が異なり異なる入力データ速度に対応する。モードセレクト信号で選択されたVCOだけが発振し、セレクト60を介して位相周波数ループを形成する。モードセレクト信号で選択されないVCOの消費電流は零となり、本発明による消

費電力増加はない。本発明は、数種類の入力データ速度ごとに製造した位相周波数同期回路を1種類の位相周波数同期回路にする技術であり、1品種大量生産するIC化に適している。位相周波数同期回路100は、3種類の入力データ速度に対応できる例であり、本発明では、クロック信号周波数が異なるVCOを搭載した分の種類の入力データ速度に対応できる。

【0035】図9は、本発明を用いた光受信回路の実施例を示すものである。本発明を用いた位相周波数同期回路100に、受光素子200、前置増幅器300、後段増幅器400、識別器500を備えて光受信回路を構成している。

【0036】入力データとクロック信号が同期している時の低域通過フィルタ出力は、入力データを基準としたクロック信号の位相差が -180° から -90° または $+90^\circ$ から $+180^\circ$ となる場合の発生確率を表しており、入力データのジッタが増加するとこの発生確率は上昇する。低域通過フィルタ33の正規化した出力電圧を入力データのジッタから換算したデータ誤り率の計算結果を図10に示す。

【0037】第2のヒステリシス付比較器71のアラーム発出する閾値を第2のヒステリシス付比較器正規化値0.85V、アラーム解除する閾値を第2のヒステリシス付比較器正規化値0.95Vと設定すれば、データの誤り率 10^{-1} から 10^{-3} でアラームを発出及び解除することができる。

【0038】データ誤り率が 10^{-1} から 10^{-3} で発出するアラームを構成する場合、従来は光受信回路の信号電力を検出する方法でアラーム機能を実現していた。近年の特徴である光増幅器を介した光受信信号の場合、光受信回路で発生する雑音電力に比べて光雑音電力が無視できず、光受信回路の信号電力を検出する方式では正しくアラーム発生できない。上記のように設定すれば、光受信回路で発生する雑音電力に比べて光雑音電力が無視できない場合でも所定のデータ誤り率でアラームを発生できる。

【0039】

【発明の効果】以上、説明したように本発明によれば、位相比較器とフィルタとVCOからなる位相同期ループ構成とし、非同期状態では周波数比較器とフィルタとVCOからなる周波数同期ループ構成として、周波数同期ループから位相同期ループに切り替える時に位相周波数同期回路を不安定動作させずに非同期状態から同期するまでの時間を短くできる効果がある。

【0040】また、本発明によれば、位相周波数同期回路の位相比較モードで同期動作できるが瞬間的に所定の位相差を超えるジッタが入力データにある場合に、同期判定器出力が同期していると判定して入力ジッタが増大して瞬間的に周波数比較器が動作してもループフィルタに周波数比較器出力が伝達されず位相比較モードで同期

動作を行いクロックジッタが瞬間的に増大しない効果がある。

【0041】また、本発明によれば、入力データがNRZ符号でパルス幅歪みがある場合、位相比較器が検出した入力データとクロック信号の位相差がパルス幅歪みの有無で変化しない効果がある。

【0042】また、本発明によれば、同期状態において抵抗とコンデンサの直列接続からなるループフィルタが、ループフィルタのコンデンサ端子電圧によりループフィルタの抵抗で発生する電圧が変化せず高周波ループ特性が一定となる効果がある。

【図面の簡単な説明】

【図1】関連する位相周波数同期回路ブロック図を示す。

【図2】関連する位相周波数同期回路ブロック図を示す。

【図3】本発明を用いた位相周波数同期回路ブロック図を示す。

【図4】本発明を用いた同期判定器のブロック図を示す。

【図5】本発明を用いた請求項2の具体的な構成例を示す。90°位相器を用いず90°位相シフトしたクロック信号をVCOから取り出し、周波数比較器と同期判定器を一体化した位相周波数同期回路図を示す。

【図6】図5に示した一体化した周波数比較器と同期判定器の具体的な構成例を示す回路図を示す。

【図7】図5から図7の同期判定回路及び周波数比較器の動作を説明するタイムチャート図を示す。

【図8】本発明を用いた位相周波数同期回路ブロック図を示す。

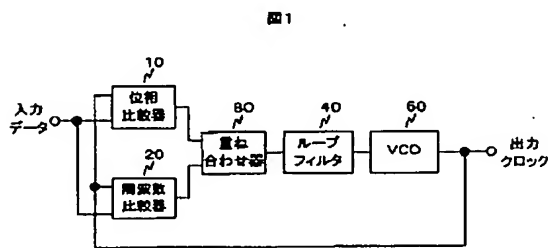
【図9】本発明を用いた光受信回路ブロック図を示す。

【図10】本発明を用いた光受信回路の正規化したフィルタ出力電圧と出力データの誤り率の関係を示す図を示す。

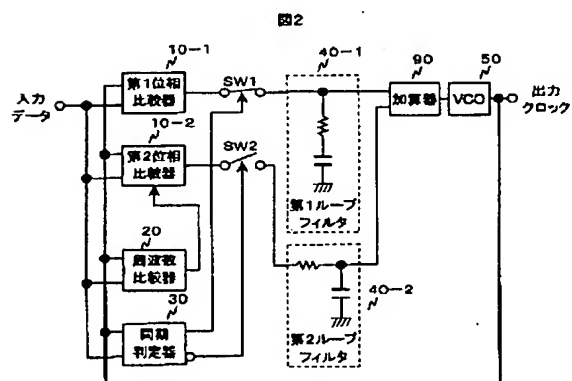
【符号の説明】

10、10-1、10-2…位相比較器、11…スイッチ内蔵位相比較器、20…周波数比較器、21…位相比較器、22…ロジック回路、30…同期判定器、31…90°移相器、32…第2の位相比較器、33…低域通過フィルタ、34…低周波数帯域増幅器、35…ヒステリシス付比較器、40、40-1、40-2…ループフィルタ、50、51…電圧制御発振器(VCO)、60…セクタ、70…アラーム発生器、71…第2のヒステリシス付比較器、80…重ね合わせ器、90…加算器、100…本発明の位相周波数同期回路、200…受光素子、300…前置増幅器、400…後段増幅器、500…識別器、C1…容量、R1、R2…抵抗、SW1、SW2…スイッチ。

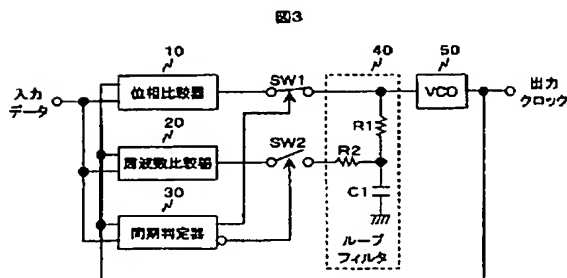
【図1】



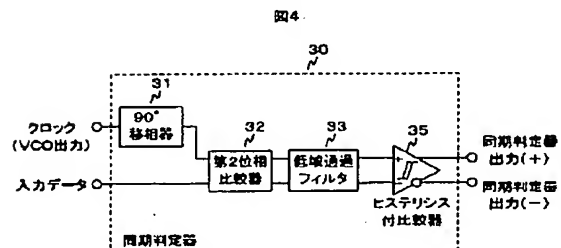
【図2】



【図3】



【図4】



【図5】

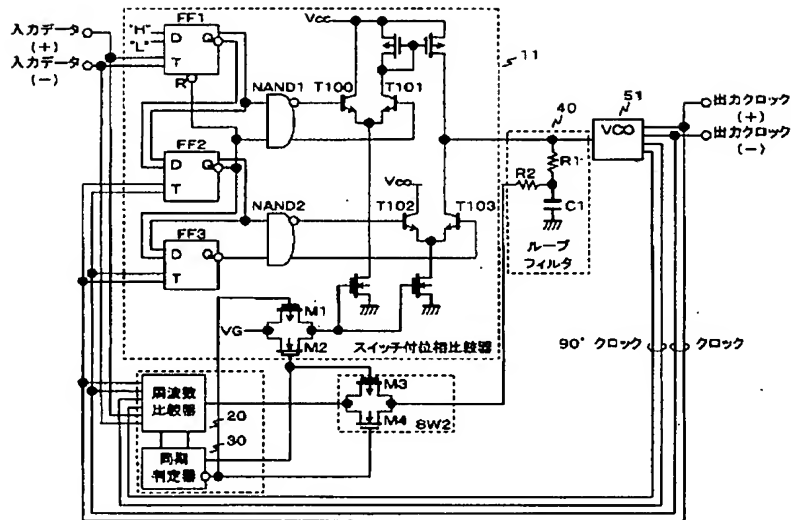
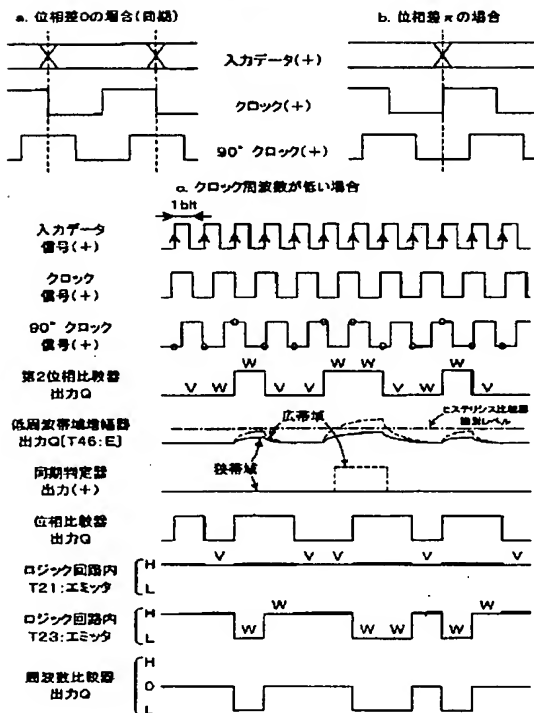


図5

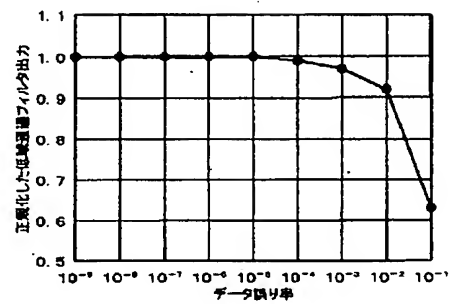
【図7】

図7

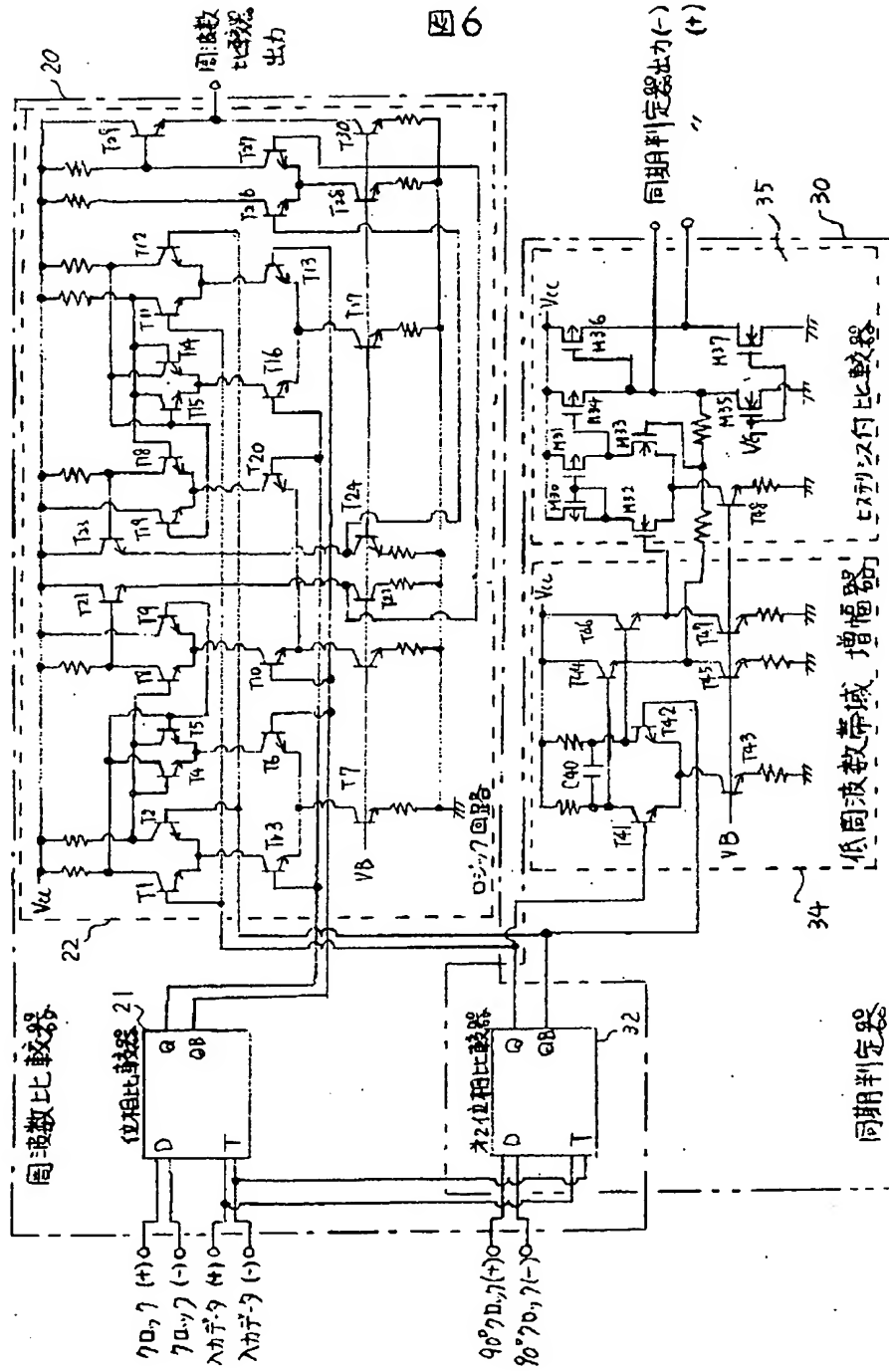


【図10】

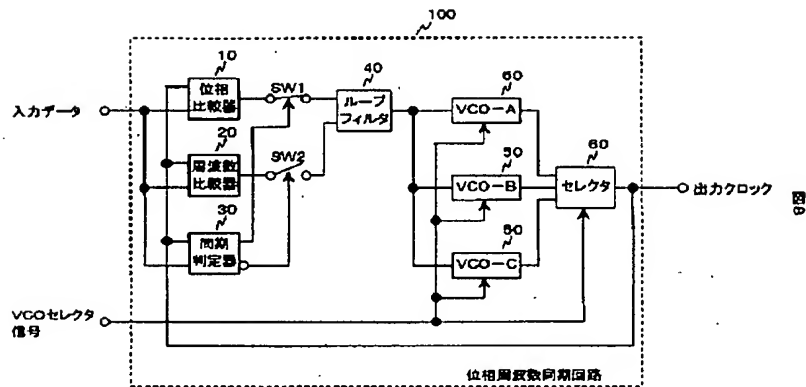
図10



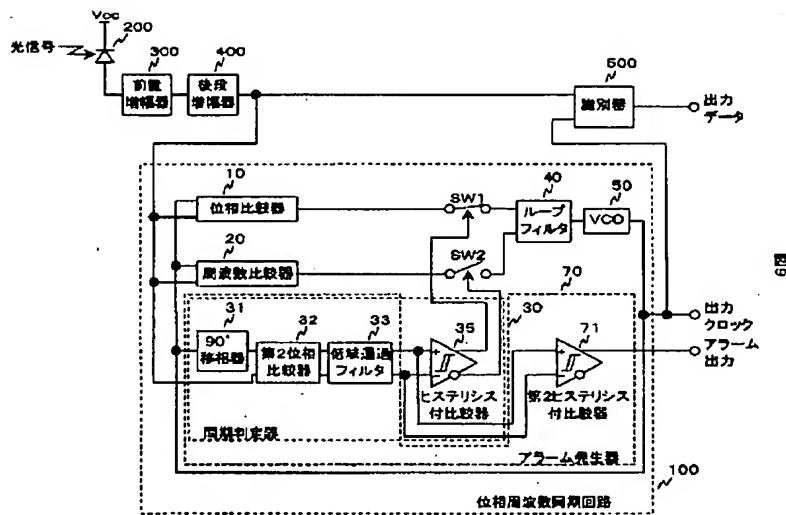
【図6】



【図8】



【図9】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

キーワード (参考)

H 0 3 L 7/113

H 0 3 L 7/10

B

H 0 4 B 10/28

H 0 4 B 9/00

Y

10/26

B

10/14

B

10/04

H 0 4 L 7/02

B

10/06

10/00

H 0 4 L 7/033

(72)発明者 山下 武

神奈川県横浜市戸塚区戸塚町216番地 株
式会社日立製作所通信システム事業本部内

Fターム(参考) 5J106 AA04 BB01 CC01 CC20 CC21
CC30 CC31 CC41 DD06 DD08
DD09 DD13 EE09 FF02 GG04
HH10 JJ03 JJ09 KK03 KK25
LL03 LL07
5K002 AA03 CA02 DA05 EA05 FA01
5K047 AA02 AA06 BB02 FF02 GG09
GG10 GG24 KK01 MM31 MM33
MM46 MM50 MM59 MM63